

教育部



製造科技領域專題製作/多媒體教材/技術論文  
製作競賽整合計畫

# 技術論文論文集



主辦單位：  
教育部顧問室

執行單位：  
國立高雄科學技術學院  
財團法人自強工業科學基金會

日期：  
中華民國八十九年六月二十七日

多頻道槽式環 ATM Switch

黃文祥\*\* 王俊堯\* 吳永進\* 何日新\* 王文楓\*

\*\*國立高雄科學技術學院電機工程系 \*國立成功大學電機工程研究所

摘要

由於多媒體應用的蓬勃發展已使得網路日益擁塞，當今擴展網路頻寬的方法大多採用非同步傳輸模式(ATM; Asynchronous Transfer Mode)技術，而該傳輸技術的主要元件即為 ATM 交換器(Switch)。本文即針對這交換器中的交換結構(Switching fabric)提出以槽時環狀網路(Slotted Ring Network)方式來替代傳統的 Banyan 結構，以化解其存在的內部阻塞(Internal-blocking)及輸出碰撞(Output-Collision)等問題。這些問題會耗費一些資料交換的時間。文中除了描述新交換結構的架構與動作外，並將以模擬方式來比較它與 Banyan 在傳輸量(Throughput)與延遲(Delay)的優缺點。

簡介

ATM 交換器在 ATM 網路中扮演著非常重要的角色。大多的 ATM 交換結構是以「多級二元自路由結構」(Multistage Binary Self-Routing Structure) 如 Banyan、Crossbar 等結構[1][3-4][6]。這些結構隱含了一些問題諸如內部阻塞及輸出碰撞等。通常會以 buffered 及 non-buffered[5]兩種方法來改善這些問題。Buffered 的方法是使用緩衝技術(Buffering Technique)及流量控制機制(Flow Control Mechanism)。Non-buffer 的方法是使用了一些額外的級來排序進入 Cell 的順序，譬如 Batch-Sorting Switch[1][7]。然而這些方法並沒有完全解決問題。

在本文中，一個新的 ATM 交換結構「多頻道槽時環」(Multi-Channel Slotted Ring; MCSR)被提出來作為交換 Cell 的元件。槽時環是個天生具有免除內部阻塞及輸出碰撞問題的拓樸結構，它原本是為高速網路而發展出來的技術，後來在區域網路中有多篇研究論文做深入探究。它提供了分時、不阻塞、同步通訊等特性[13]。MCSR 使用了目的地移除策略(Destination Removal Policy)來縮短傳輸的延遲及增加系統的傳輸量。但是這個策略同時也帶來了不公平的現象，因此

在 MCSR 中也引進了 MetaRing 的機制[2]。

下一節先介紹 MCSR 結構，ATM 交換器的動作，在第三節中將顯示模擬的結果，比較 MCSR 與 Banyan 在延遲與傳輸量方面的優缺點，最後再做個結論。

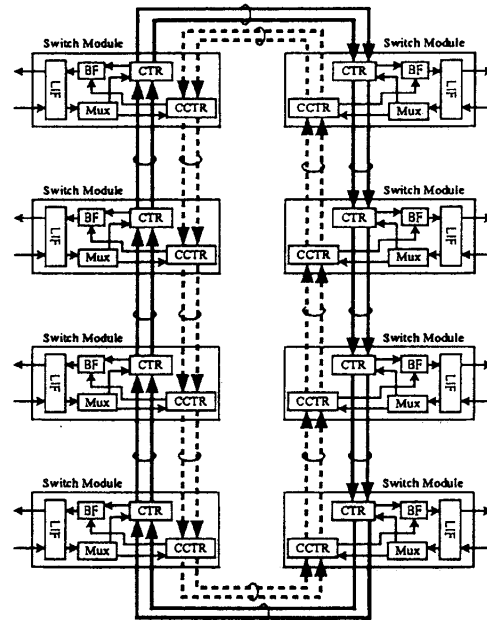
研究方法

1. ATM 交換器與 MCSR 結構

選用多頻道槽時環作為 ATM 交換結構是有下列考量因素：(1)它適合於模組間的高速通訊且可免除內部阻塞及輸出碰撞，(2)具有可擴充性及提高系統的可靠性，(3)是一個具分散性交換控制的簡單拓樸，(4)容易實現 multicast 及 broadcast 機制。

1.1 交換結構

圖一所示的是 MCSR 結構，其中的槽時環是由順時針及逆時針方向的多條頻道所組成。圖中的每個交換模組(Switch Module)一端是連接到這些頻道，另一端是與某一特定的 I/O port 相接。頻道均被分成一定



LIF: Link InterFace BF: Data Buffer Mux: Multiplex  
CTR: Clockwise Transmitter and Receiver  
CCTR: CounterClockwise Transmitter and Receiver

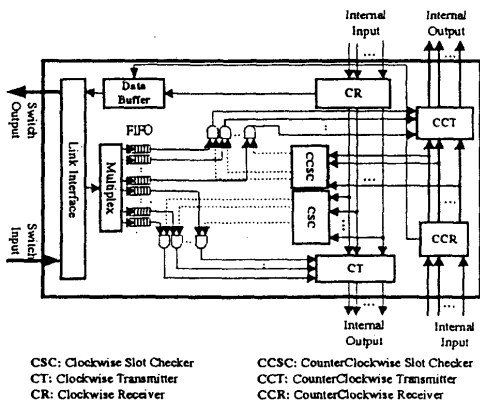
圖一：MCSR 結構

■ 製造業自動化 ■ 技專校院

數量的連續等間隔長的時槽，其長度恰為一個 Cell 的長度。此外；每個頻道使用目的地移除策略來釋放時槽，這策略將可縮短傳輸的延遲及增加交換器的傳輸量。由於目的地移除策略將造成不公平性的問題，因此這裡將 MetaRing 機制引進來改善這個現象。該機制簡述如后：首先將一個常數配額 Q 指定給所有的交換模組。每個交換模組只能在獲得一個空時槽且其配額還未用完時才可以傳送其 Cell。有一個控制訊息稱為 SAT，用來重置這個配額。當一個交換模組收到 SAT，而它的配額當尚未用完且在它的傳送行列中還有 Cell 等待被傳送，則這個交換模組將握住這 SAT 不往下傳。當其的配額用完或傳送行列沒有 Cell 等待被傳送時，SAT 便會被傳給下一個交換模組。這時該交換模組會將自己的配額重設回 Q，因此在兩個 SAT 之間；每一個交換模組只能傳送 Q 個 Cell。

1.2 交換模組

圖二表示了交換模組，每個交換模組包含了下列的元件：



圖二：交換模組

● Link Interface

當一個 Cell 完成了它在 ATM 交換器的前置動作如 VPI/VCI 審定工作後，它便會進入交換模組。Link Interface 將會依據 VPI/VCI 把一個額外的輸出埠 MCSR 位址(AOP-MCSR Address)附加到這個 Cell 上。當這個 Cell 到達其目的交換模組後，這個 AOP-MCSR 位址便會被移除。

● Multiplex

每個交換模組有兩個接收器及與頻道數一樣多的傳送器。每個頻道在各交換模組中均有一個專用的佇列用來存放其要傳送的 Cell；所以每個交換模組中會有與頻道數一樣多的傳送佇列。Multiplex 負責將一個 Cell 依據 AOP-MCSR 位址指派給相對映的佇列。

● Clockwise Slot Checker (CSC)

時槽有兩種可能的狀態；一個是 EMPTY 另一個是 OCCUPY。在每個交換模組中，CSC 將不斷地監視現在所有順時針方向頻道上的時槽狀態。如果有任何一個時槽狀態是 EMPTY，它將告之相對映的 CT 來傳送一個 Cell；否則它將會通知 CR 去接收 Cell。

● Counterclockwise Slot Checker (CCSC)

CCSC 除了將順時針方向改換成逆時針方向外，其餘的動作均與 CSC 的動作相同。

● Clockwise Transmitter (CT)

在一個交換模組中，傳送器的總數目是等於頻道的總數目，其中有一半是 CT 順時針方向的傳送器，另一半是逆時針方向的傳送器。傳送器決定連接那一個傳送方向的頻道是依據它與所要傳送的目的地之間距離而定。在 CSC 告之 CT 時，相對映的傳送佇列便會被檢查是否有 Cell 要傳送。如果有 Cell 要傳送，則交換模組將使用這個時槽來傳送其 Cell。

● Counterclockwise Transmitter (CCT)

CCT 除了將順時針方向改換成逆時針方向外，它其餘的動作均與 CT 的動作相同。

● Clockwise Receiver (CR)

每個交換模組只有一個 CR，它是與某一條特定的頻道相連接。在 CSC 通知它時，在時內的槽 AOP-MCSR 位址將會被檢查，如果這位址是這個交換模組的，則 CR 將會把在這時槽內的 Cell 移走，放入 data buffer (BF)中並同時設定時槽的旗標為 EMPTY。

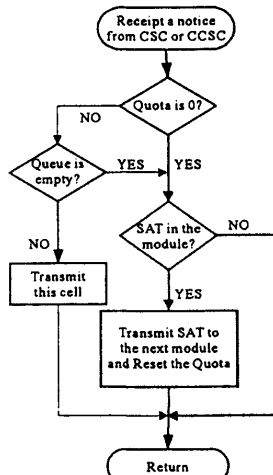
● Counterclockwise Receiver (CCR)

CCR 除了將順時針方向改換成逆時針方向外，它其餘的動作均與 CR 的動作相同。

● Data Buffer (BF)

如果交換模組現在的狀態為忙碌，則 data buffer

將會被用來暫時存放來 CR 或 CCR 收到的 Cell。



圖三：傳送器的動作

## 2. ATM 交換器的動作

### 2.1 傳送器的動作

每個交換模組有與頻道數一樣多的傳送器，這些傳送器是以同時獨立的方式運作，其動作的程序如圖三所示：

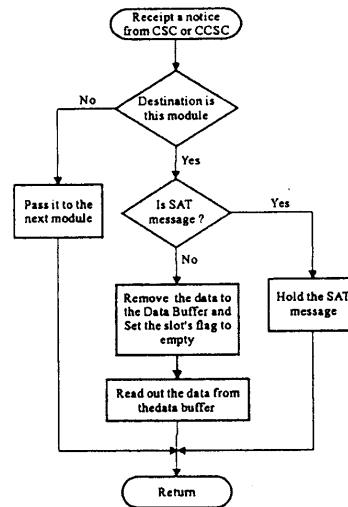
1. 在收到 CSC 或 CCSC 的通知後，傳送器將檢查其配額是否為零。
2. 如果配額已為零，則傳送器將查看交換模組是否持有 SAT。如果是持有 SAT 則它將會把 SAT 傳送給下一個交換模組並設定配額回到 Q 值。
3. 如果配額不為零，則傳送器將會查看相對映的佇列是否為空的。如果是個非空佇列，則傳送器會傳送一個 Cell 到該空時槽上；否則跳到步驟(2)。

### 2.2 接收器的動作

每個交換模組有兩個接收器；一個與順時針方向的頻道相接，另一個與逆時針的頻道相接。接收器的動作程序如圖四所示：

1. 在收到 CSC 或 CCSC 的通知後，接收器會檢查在時槽內的 AOP-MCSR 位址是不是自己的。
2. 如果這位址是自己的，則接收器會檢視它是不是一個 SAT。
3. 如果這是一個 SAT 訊息，則接收器將持有它；否則接收器會將這 Cell 自時槽中移走放入 data

buffer 中，並將該時槽設定為 EMPTY。最後這



圖四：接收器的動作

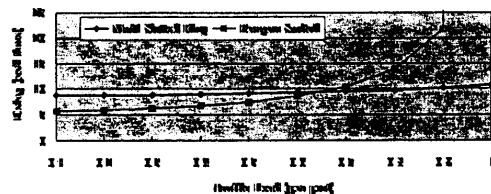
Cell 會被輸出埠經由 Link Interface 自 data buffer 中讀走。

## 結果與討論

為了解本文提出的 ATM 交換器效能，作者以 SIMSCRIPT 語言模擬了這個交換器及以 Banyan 為結構的 ATM 交換器。這些模擬程式是以 discrete time 方式，其單位時間為一個時槽。也使用了下列諸參數：

1. 全部模擬時間為 20,000,000 個時槽
2. 交換器的尺寸為 32×32
3. 在 Banyan 元件中的最大佇列長度為 10 Cell
4. 在 MCSR 的頻道數量為 16
5. MCSR 的配額 Q 為 350
6. 輸入埠的最大佇列長度為 1000 Cell
7. 到達率的分佈為 Poisson

自延遲的觀點來看，在系統負荷較輕時 Banyan 有比 MCSR 還短的延遲，但是在系統負荷較重時其延遲時便長於 MCSR 如圖五所示。這理由是在系統負荷



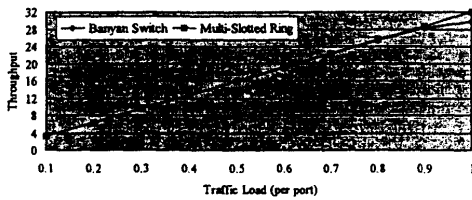
圖五：Banyan 與 MCSR 的延遲比較

較輕時 Banyan 的內部阻塞及輸出碰撞現象很少

■製造業自動化 ■技專校院

發生，但是 MCSR 仍舊須付出等候時槽到來的等待時間。但是這個等待時間僅會隨著負荷增加而緩慢地增長，不像內部阻塞及輸出碰撞的發生機率隨著負荷增加而激烈地升高。特別是在系統負荷很高時，這個差距格外地明顯。一般使用者只會在乎系統負荷重時的延遲時間。

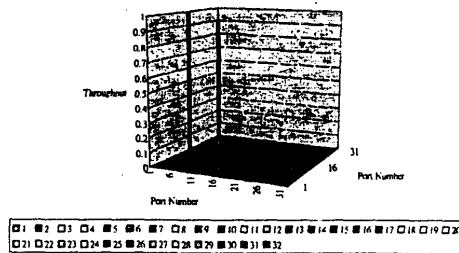
自傳輸量的觀點來看，在系統負荷到達八成之前 Banyan 與 MCSR 的傳輸量是相同的；如圖六所示。



圖六：Banyan 與 MCSR 的傳輸量比較

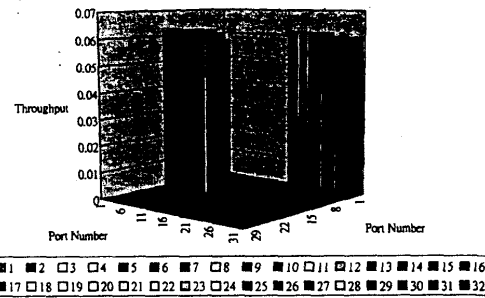
Banyan 結構的內部阻塞及輸出碰撞問題在系統負荷重時會很明顯，但 MCSR 並沒有這兩種問題，因此它的傳輸量曲線可依舊保持直線。由這個結果可推論 MCSR 結構是個值得發展的課題。

MetaRing 機制被引進到 MCSR 來改善不公平性的問題，下面的模擬結果是用來檢視這機制的效果。首先假設在這個結構中每個埠均有 Cell 等待被傳送，而且埠號小於 18 的埠均將其 Cell 送給埠 17，其餘的埠則將其 Cell 送給埠 1，模擬的結果顯示於圖七。由



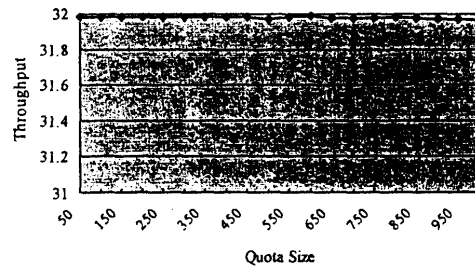
圖七：沒有 MetaRing 機制的 MCSR 之傳輸量

這圖可看出來自埠 1 及埠 17 的 Cell 佔據了所有的時槽；因此其它的埠無法傳送它們的 Cell。其原因是所有被釋放的時槽立即被相同的埠再佔用來傳送 Cell。將 MetaRing 加入 MCSR 後的模擬結果如圖八所示。圖中顯示傳輸量已平均分佈在各個埠而達到了公平原則。



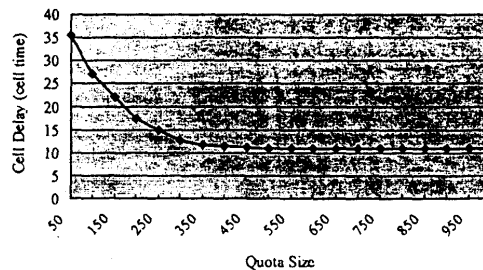
圖八：具 MetaRing 機制的 MCSR 之傳輸量

在 MetaRing 機制中，配額 Q 值會直接影響到延遲及傳輸量的結果。為了解這個影響的程度，下面採用了不同的配額值來模擬在系統高負荷時的 MCSR，其傳輸量的結果如圖九所示，它顯示了配額值的大小



圖九：傳輸量與配額間的關係

與傳輸量無關。但延遲則不像傳輸量一樣，它在增加配額值時延遲時間逐漸地下降直到配額到達約 400 時才呈現平緩，如圖十所示。Cell 延遲包含了傳輸延遲



圖十：延遲與配額間的關係

(Propagation delay)、佇列延遲(Queueing delay)、及等候 SAT 時間。等候 SAT 的時間是指自這個交換模組用完它的配額開始算起，到它再度收到 SAT 為止。對特定的 Cell 抵達速率而言，傳輸延遲與佇列延遲均不會隨配額大小變動。但等候 SAT 時間則非，如果配額很小

它會變得很長，而造成 Cell 延遲變大。在配額夠大時(如高於 400)，等候 SAT 時間變得小；換句話說配額值在大於 SAT 繞一圈所抵達的 Cell 數量時，交換模組將不會有等候 SAT 時間。

#### 結論

在這篇文章中，一個新的 ATM 交換器架構被提出來。它選用了 MCSR 來做為內部的交換結構，同時也引用了 MetaRing 機制來解決不公平的現象。這個架構沒有內部阻塞及輸出碰撞的問題，因此它比使用 Banyan 結構有較高的傳輸量及較低的傳送延遲。本文描述了這架構與其動作，而且也做了 MCSR 與 Banyan 的傳送延遲與傳輸量的模擬和比較。結果顯示這新的 ATM 交換器個值得發展的課題。

#### 文獻參考

1. Hamid Ahmadi, Wodfgang E. Denzel, "A Survey of Modern High-Performance Switch Techniques," IEEE JOURNAL on Selected Areas in Communication, Vol. 7, No. 7, Page(s): 1091-1103, September 1989.
2. Gagnaire, M., "Analysis of Fairness on the Metaring Gigabit/s network," Local Computer Networks, 1993., Proceedings., 18th Conference on , Page(s): 300 -307.
3. Hamid Ahmadi, Wodfgang E. Denzel, "A Survey of Modern High-Performance Switch Techniques," IEEE JOURNAL on Selected Areas in Communication, Vol. 7, No. 7, Page(s): 1091-1103, September 1989.
4. C. P. Kuskal and M. Snir, " The Performance of multistage interconnection networks for multiprocessors," IEEE Trans. Comput., Vol. C-32, Page(s):1091-1098, Dec. 1983.
5. M. Kumar and J. R. Jump, "Performance of unbuffered shuffle exchange networks," IEEE Trans. Comput., Vol. C-35, Page(s): 573-577, June 1986.
6. P. Kermani and L. Kleinrock, " Virtual cut-through : A new computer communication switching technique," Comput. Networks, Vol. 3, Page(s):267-286, 1979.
7. K. E. Batcher, "Sorting networks and their application," in Proc. Spring Joint Comput. Conf., AFIPS, 1968, Page(s): 307-314.
8. Takao T., Takehiko Y., "Synchronous Composite Packet Switching - A Switching Architecture for Broadband ISDN," Journal on Selected Areas in Communications IEEE, Vol. 5, No. 8, October 1987, Page(s): 1365-1376.
9. Raif O. Onvural, "Asynchronous Transfer Mode Networks- Performance liissues," 1995.
10. Uyless Black, "ATM: Foundation For Broadband Networks", 1995.
11. Daniel Sbirik, Johan M Karlsson, "ATM Switching Structures - A Performance Comparison," 1995.
12. Bianchini, R.P.; Kim, H.S., "The Tera project: a hybrid queueing ATM switch architecture for LAN," Selected Areas in Communications, IEEE Journal on Volume:13 4, Page(s): 673 -685.
13. Rahnama, M., "The Fast Packet Ring Switch: A High-performance Efficient Atchitecture with Multicast Capability," Communications, IEEE Transactions on Volume: 38 4 , Page(s): 539 -545.